

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-51337

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
1/00			1/00	F
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-203560

(22) 出願日 平成7年(1995)8月9日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 本山 泰

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 相河 聡

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 太田 厚

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 古谷 史旺

最終頁に続く

(54) 【発明の名称】 誤り訂正方法

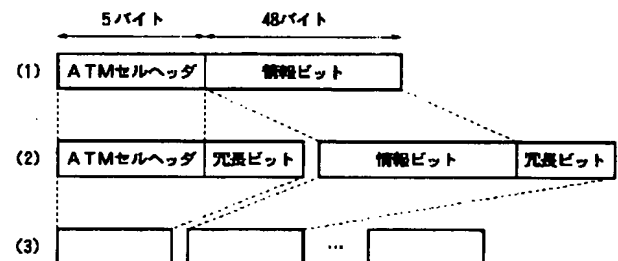
(57) 【要約】

【課題】 ATMセルの誤り訂正方法において、回線効率を低下させずにセル廃棄率を低下させる。

【解決手段】 ATMセルのATMセルヘッダと情報ビットを分離し、それぞれ個別に冗長ビットを付加し、それぞれ個別に誤り訂正を行う方法をとる。このとき、情報ビットに対する冗長ビットの割合より、ATMセルヘッダに対する冗長ビットの割合を大きくすることにより、ATMセルヘッダに対する誤り訂正能力を相対的に高め、セル廃棄率を低減する。

本発明の誤り訂正方法の第1の実施形態

(送信側)



(受信側)

ATMセルヘッダおよび情報ビットについて、それぞれ個別に符号誤りを訂正し、53バイトのATMセルを構成する (基地局)

↓

HECを用いて、ATMセルヘッダの誤り検出および訂正を行う (加入者交換機)

【特許請求の範囲】

【請求項1】 ATMセルヘッダと情報ビットから構成されるATMセルを用いて情報を伝送するATMネットワークで、伝送信号に付加された冗長ビットを用いて伝送路で生ずる符号誤りを訂正する誤り訂正方法において、

前記ATMセルヘッダと前記情報ビットを分離し、それぞれ個別に冗長ビットを付加し、それぞれ個別に誤り訂正を行うことを特徴とする誤り訂正方法。

【請求項2】 請求項1に記載の誤り訂正方法において、情報ビットに対する冗長ビットの割合より、ATMセルヘッダに対する冗長ビットの割合を大きくしたことを特徴とする誤り訂正方法。

【請求項3】 請求項1または請求項2に記載の誤り訂正方法において、

ATMセルヘッダからヘッダ誤り制御用ビットを削除し、残りのATMセルヘッダに対して冗長ビットを付加して誤り訂正を行うことを特徴とする誤り訂正方法。

【請求項4】 請求項3に記載の誤り訂正方法において、

誤り訂正を行ったATMセルヘッダからヘッダ誤り制御用ビットを求め、そのヘッダ誤り制御用ビットを含むATMセルヘッダを復元することを特徴とする誤り訂正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATMセルを伝送するATMネットワークにおける誤り訂正方法に関する。

【0002】

【従来の技術】図4は、ATMネットワークのシステム構成を示す。図において、ATM端末11と基地局12は、無線回線13または有線回線14を介して接続される。基地局12は、光ファイバ伝送路15、加入者交換機16を介してATM網17に接続される。

【0003】本システムでは、ATM端末11と基地局12との間で、図5に示すような53バイトのATMセルが伝送される。このATMセルは、5バイトのヘッダと48バイトの情報ビットから構成される。さらに、ATMセルヘッダは、セルのフロー制御ビットGFC(4ビット)、仮想バス識別子VPI(8ビット)、仮想チャネル識別子VCI(16ビット)、情報の種別PT(3ビット)、セル転送の優先順位CLP(1ビット)、ヘッダ誤り制御ビットHEC(8ビット)から構成される。

【0004】ATM網17では、VPIおよびVCIに設定されるATMチャネル番号が従来のデジタル回線交換におけるタイムスロットの役割を果たす。したがって、ATMチャネル番号情報に誤りが生じると信号が相手先に伝わらなくなるだけでなく、ときには他の利用者に誤伝送されるなど伝送路に及ぼす影響が大きい。そこ

で、ATMチャネル番号の誤りを訂正するために、ATMセルヘッダにはヘッダ誤り制御ビットHECが設けられている。加入者交換機16は、ATMセルを受け取るとATMセルヘッダの1ビット誤り訂正を行い、複数ビット誤った場合にはそのATMセルを廃棄する。

【0005】ところで、無線回線のように符号誤りが発生する伝送路では、伝送品質向上のために誤り訂正技術が不可欠である。本システムにおいても、無線回線13で接続されたATM端末11と基地局12との間で、所定のビット誤り率を得るとともに信号の誤伝送を防止するためには、ATMセルヘッダのビット誤りを訂正して有線回線と同様のセル廃棄率を実現する必要がある。

【0006】図6は、従来の第1の誤り訂正方法を示す。送信側のATM端末では、(1)ATMセルを複数個並べてビット列を構成し、(2)複数のブロックに分割し、(3)各ブロックに誤り訂正用の冗長ビットを付加し、(4)回線に送出する。受信側の基地局では、ブロックごとに符号誤りを訂正して加入者交換機に送出する。加入者交換機では、ヘッダ誤り制御ビットHECを用いて、ATMセルヘッダの誤り検出および訂正を行う。なお、HECは、1ビット訂正であるので、2ビット以上誤った場合にはそのATMセルは廃棄される。

【0007】このような誤り訂正方法では、ブロックの中の1つのATMセル中に符号誤りが生じた場合に、訂正しきれなかった残留誤りはブロック全体に広がることになり、誤りが生じていなかったATMセルに誤りを生じさせてしまうおそれがある。それを防ぐには、図7に示すように1つのATMセルを1ブロックとする方法が考えられる。すなわち、送信側のATM端末では、(1)1つのATMセルを1ブロックとし、(2)各ブロックに誤り訂正用の冗長ビットを付加し、(3)回線に送出する。受信側の基地局では、ATMセル全体について符号誤りを訂正して加入者交換機に送出する。加入者交換機では、ヘッダ誤り制御ビットHECを用いて、ATMセルヘッダの誤り検出および訂正を行う。しかし、ATMセルごとに誤り訂正を行ったとしても、訂正しきれなかった残留誤りがATMセルヘッダに残ることがある。この場合には、ATMセルヘッダに用いられている誤り訂正が1ビット訂正であるので、訂正しきれずにヘッダ誤りとなり、ATMセル全体が廃棄されるおそれがある。

【0008】

【発明が解決しようとする課題】ここで、ATMセルの廃棄率を低減するには、伝送路における誤り訂正を強力にする必要があるが、そのために誤り訂正用の冗長ビット数を増大すると回線効率が低下する。なお、回線効率とは、冗長ビットを含めた信号全体に対する有効な情報の占める割合である。

【0009】図8は、訂正ビット数とATMセル廃棄率および回線効率との関係を示す。ここでは、ATMセルを2ブロックに分割してBCH符号を用いて誤り訂正を

行った場合を示す。(1) は、1 ビット訂正～4 ビット訂正 (2 ブロックのために A T M セル全体で 2 ビット訂正～8 ビット訂正) において、誤り訂正前のビット誤り率とセル廃棄率との関係を示す。なお、(255,247)とは、247 ビットの情報ビットに対して伝送する信号が 255 ビット (冗長ビットが 8 ビット) であることを示す。(2) は、訂正ビット数と回線効率との関係を示す。

【0010】本発明は、A T M セルを伝送する A T M ネットワークにおいて、回線効率を低下させずにセル廃棄率を低下させることができる誤り訂正方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、A T M セルの A T M セルヘッダと情報ビットを分離し、それぞれ個別に冗長ビットを付加し、それぞれ個別に誤り訂正を行う方法をとる。このとき、情報ビットに対する冗長ビットの割合より、A T M セルヘッダに対する冗長ビットの割合を大きくすることにより、A T M セルヘッダに対する誤り訂正能力を相対的に高め、セル廃棄率を低減する。

【0012】また、A T M セルヘッダからヘッダ誤り制御用ビットを削除し、残りの A T M セルヘッダに対して冗長ビットを付加する誤り訂正方法により、信号全体に占める冗長ビットの割合を小さくする。また、受信側では、誤り訂正を行った A T M セルヘッダからヘッダ誤り制御用ビットを求めて付加することにより、完全な A T M セルヘッダを復元することができる。

【0013】

【発明の実施の形態】図 1 は、本発明の誤り訂正方法の第 1 の実施形態を示す。ここでは、A T M 端末から基地局に伝送する場合を示すが、基地局から A T M 端末に伝送する場合でも同様である。図において、送信側の A T M 端末では、(1) 53 バイトの A T M セルを 5 バイトの A T M セルヘッダと 48 バイトの情報ビットに分離し、(2) それぞれに誤り訂正用の所定の冗長ビットを付加し、(3) 回線に送出する。

【0014】受信側の基地局では、A T M セルヘッダおよび情報ビットについて、それぞれ個別に符号誤りを訂正し、再び 53 バイトの A T M セルを構成して加入者交換機に送出する。なお、A T M セルヘッダに誤りが残った場合には、その A T M セルを廃棄する。加入者交換機では、ヘッダ誤り制御ビット H E C を用いて、A T M セルヘッダの誤り検出および訂正を行う。なお、H E C は、1 ビット訂正であるので、2 ビット以上誤った場合にはその A T M セルは廃棄される。

【0015】ここで、48 バイトの情報ビットに対する冗長ビットの割合より、5 バイトの A T M セルヘッダに対する冗長ビットの割合を大きくし、A T M セルヘッダに対する誤り訂正能力を相対的に高める。例えば、B C H 符号を用いて誤り訂正を行う場合に、従来方法により伝送路のビット誤り率 10^{-4} に対してセル廃棄率 10^{-9} を得る

には、8 ビット訂正 (図 8 では A T M セルを 2 ブロックに分割しているので 4 ビット訂正) が必要であった。すなわち、53 バイト (424 ビット) の A T M セル全体に 64 ビットの冗長ビットを付加して 8 ビット訂正を行う必要があった。一方、本実施形態では、5 バイト (40 ビット) の A T M セルヘッダに 28 ビットの冗長ビットを付加して 4 ビット訂正を行い、48 バイト (384 ビット) の情報ビットに 32 ビットの冗長ビットを付加して 4 ビット訂正を行い、全体として 8 ビット訂正とする。これにより、A T M セルヘッダに対する誤り訂正能力が相対的に向上し、セル廃棄率を大幅に低減させることができる。具体的改善例は第 2 の実施形態において示す。

【0016】また、上記の例において、従来方法における回線効率は、

$$424 / (424 + 64) \approx 0.869$$

であり、本実施形態における回線効率は、

$$424 / (424 + 28 + 32) \approx 0.876$$

であるので、若干の向上が期待できる。

【0017】図 2 は、本発明の誤り訂正方法の第 2 の実施形態を示す。ここでは、A T M 端末から基地局に伝送する場合を示すが、基地局から A T M 端末に伝送する場合でも同様である。図において、送信側の A T M 端末では、(1) 53 バイトの A T M セルを 5 バイトの A T M セルヘッダと 48 バイトの情報ビットに分離し、(2) ヘッダ誤り制御ビット H E C を削除した 4 バイトの A T M セルヘッダと、情報ビットのそれぞれに誤り訂正用の所定の冗長ビットを付加し、(3) 回線に送出する。第 1 の実施形態とは A T M セルヘッダから H E C を削除して冗長ビットを付加する点異なる。

【0018】受信側の基地局では、(1) H E C を除く A T M セルヘッダおよび情報ビットについて、それぞれ個別に符号誤りを訂正する。なお、A T M セルヘッダに誤りが残った場合には、その A T M セルを廃棄する。(2) 誤り訂正後の A T M セルヘッダ (A T M チャンネル番号) から H E C を求めて付加し、完全な 53 バイトの A T M セルを構成して加入者交換機に送出する。加入者交換機では、H E C を用いて、A T M セルヘッダの誤り検出および訂正を行う。なお、H E C は、1 ビット訂正であるので、2 ビット以上誤った場合にはその A T M セルは廃棄される。

【0019】ここで、48 バイトの情報ビットに対する冗長ビットの割合より、H E C を除く 4 バイトの A T M セルヘッダに対する冗長ビットの割合を大きくし、A T M セルヘッダに対する誤り訂正能力を相対的に高める。本実施形態では、H E C を除く 4 バイト (32 ビット) の A T M セルヘッダに 24 ビットの冗長ビットを付加して 4 ビット訂正を行い、48 バイト (384 ビット) の情報ビットに 32 ビットの冗長ビットを付加して 4 ビット訂正 (2 ブロックに分割する場合にはそれぞれ 2 ビット訂正) を行い、全体として 8 ビット訂正とする。これにより、A T

Mセルヘッダに対する誤り訂正能力が相対的に向上する。この場合のセル廃棄率を図3に示す。図3に示すように、ATMセルヘッダと情報ビットに分割してそれぞれで4ビット訂正を行うことにより、セル廃棄率を大幅に低減できることがわかる。

【0020】また、本実施形態における回線効率は、H E Cを除く52バイト(416ビット)の信号に対して56ビットの冗長ビットが付加されるので、

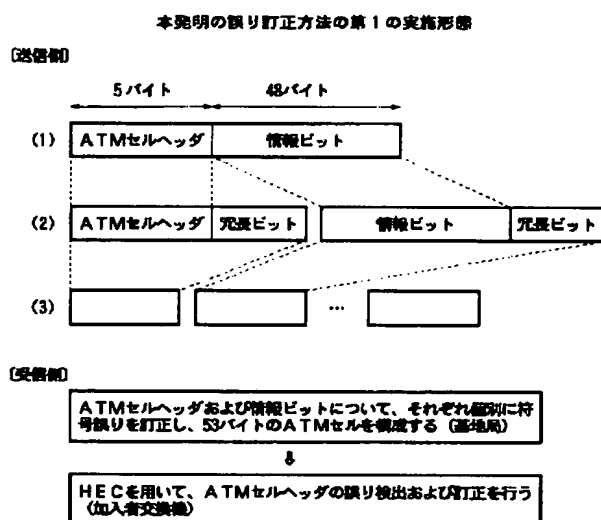
$$416 / (416 + 56) \doteq 0.881$$

となり、第 1 の実施形態よりもさらに若干の向上が期待 10
される。また、本発明の誤り訂正方法によれば、ATM
セルの廃棄率と情報の品質の設計をそれぞれ個別に行う
ことが可能となる。

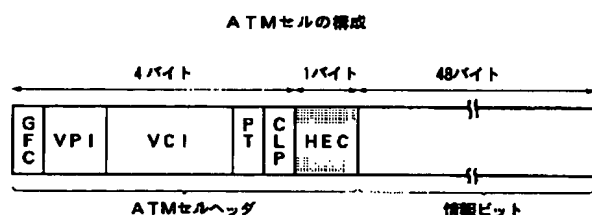
【0021】

【発明の効果】以上説明したように、本発明の誤り訂正方法では、ＡＴＭセルをＡＴＭセルヘッダと情報ビットに分離してそれぞれ個別に誤り訂正を行い、かつＡＴＭセルヘッダに対する誤り訂正能力を相対的に高めることにより、回線効率を下げることなくセル廃棄率を低減することができる。

【图 1】



【図 5】



【図面の簡単な説明】

【図 1】本発明の誤り訂正方法の第 1 の実施形態を示す図。

【図2】本発明の誤り訂正方法の第2の実施形態を示す図。

【図3】第2の実施形態におけるセル廃棄率を示す図。

【図4】ATMネットワークのシステム構成を示す図。

【図5】ATMセルの構成を示す図。

【図6】従来の第1の誤り訂正方法を示す図。

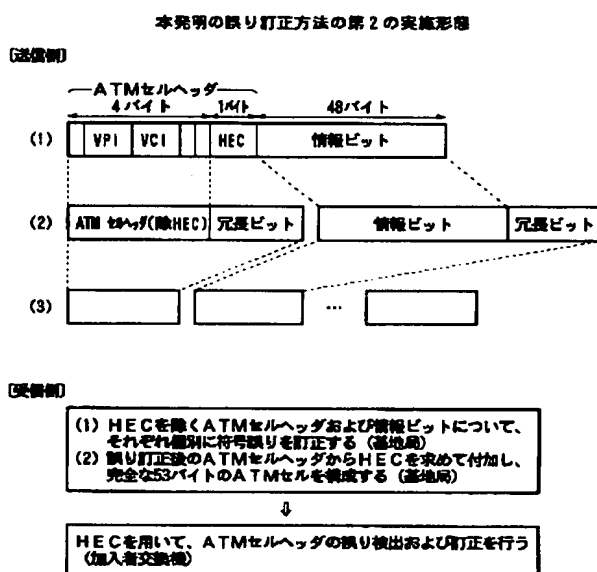
【図7】従来の第2の誤り訂正方法を示す図。

【図8】訂正ビット数とATMセル廃棄率および回線効率との関係を示す図。

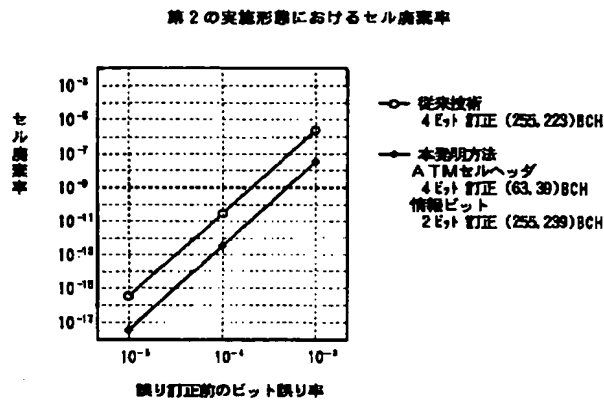
【符号の説明】

- | | |
|-----|----------|
| 1 1 | A T M端末 |
| 1 2 | 基地局 |
| 1 3 | 無線回線 |
| 1 4 | 有線回線 |
| 1 5 | 光ファイバ伝送路 |
| 1 6 | 加入者交換機 |
| 1 7 | A T M網 |

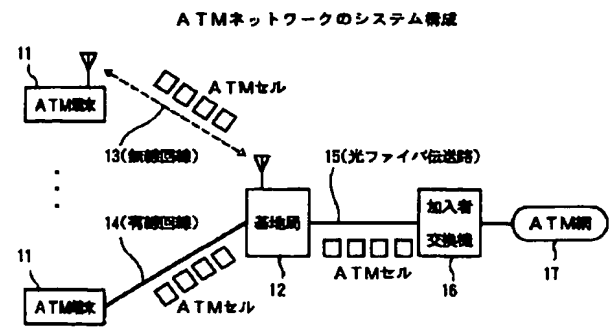
【图2】



【図3】



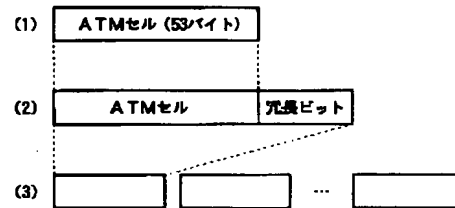
【図4】



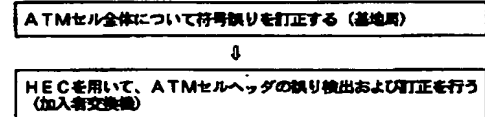
【図7】

従来の第2の誤り訂正方法

[送信側]



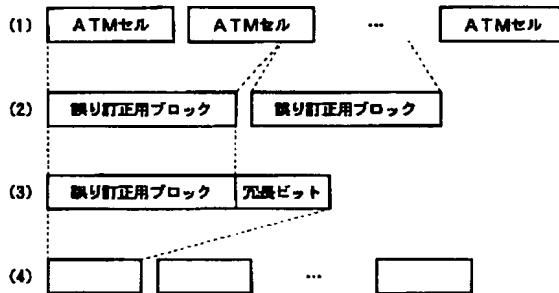
[受信側]



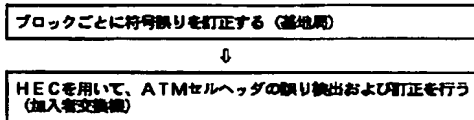
【図6】

従来の第1の誤り訂正方法

[送信側]



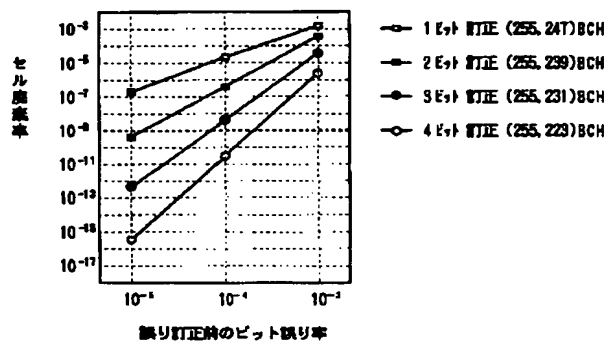
[受信側]



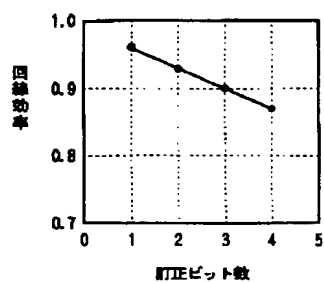
【図8】

訂正ビット数とATMセル脱落率および回線効率との関係

(1)



(2)



フロントページの続き

(72)発明者 梅比良 正弘
 東京都千代田区内幸町1丁目1番6号 日
 本電信電話株式会社内